

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-233140

(43)Date of publication of application : 16.08.2002

(51)Int.Cl. H02M 3/155
H01L 23/12
H01L 25/00

(21)Application number : 2001-021453

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 30.01.2001

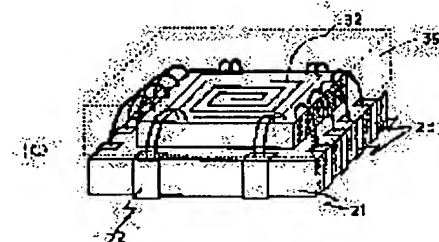
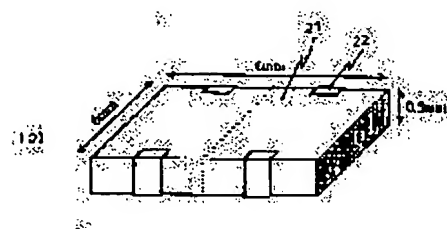
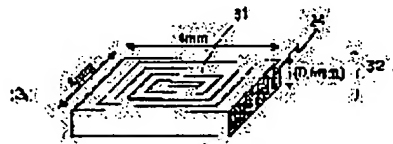
(72)Inventor : HAYASHI YOSHITOMO

(54) MICROMINIATURE POWER CONVERTER

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the size of a power converter including a semiconductor device substrate, a thin-film laminated and flat magnetic induction element, an input and output smoothing capacitor.

SOLUTION: The semiconductor substrate 24 of a micro power circuit IC and a thin-film inductor 31 are stuck in piles, or integrally formed on a laminated ceramic array 21 that functions as a substrate with an input and output smoothing capacitor formed therein, and are electrically connected.



LEGAL STATUS

[Date of request for examination]

13.11.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-233140

(P2002-233140A)

(43) 公開日 平成14年8月16日 (2002.8.16)

(51) Int.Cl. ⁷	識別記号	F I	テームト* (参考)
H 0 2 M 3/155		H 0 2 M 3/155	Y 5 H 7 3 0
			Z
H 0 1 L 23/12		H 0 1 L 25/00	B
25/00		23/12	B

審査請求 未請求 請求項の数28 O L (全 9 頁)

(21) 出願番号 特願2001-21453(P2001-21453)

(22) 出願日 平成13年1月30日 (2001.1.30)

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 林 善智

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(74) 代理人 100088339

弁理士 篠部 正治

Fターム(参考) 5H730 AA08 AS05 BB13 BB57 DD04

DD26 DD32 FG01 ZZ05 ZZ11

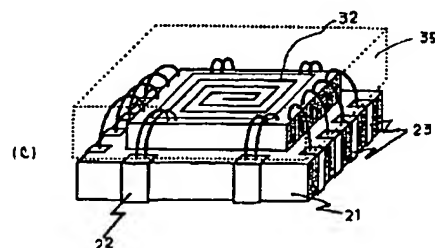
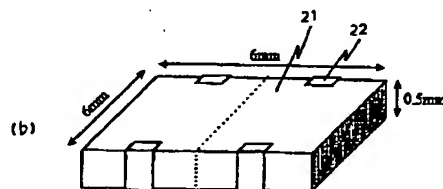
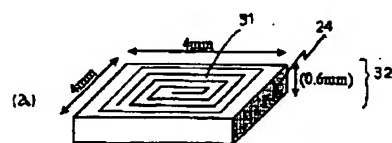
ZZ17

(54) 【発明の名称】 超小型電力変換装置

(57) 【要約】

【課題】 半導体装置基板、薄膜積層型の平面型磁気誘導素子および入、出力平滑コンデンサを有する電力変換装置の小型化を図る。

【解決手段】 入、出力平滑コンデンサを作り込んだ積層セラミックスアレイ21を基板として、その上にマイクロ電源回路ICの半導体基板24と薄膜インダクタ31とを重ねて貼り付け、または、一体型に形成して電気的に接続する。



【特許請求の範囲】

【請求項 1】半導体集積回路の形成された半導体基板と、コイル状に形成された薄膜コイルを下部磁性体と上部磁性体とで挟んだ構成の平面型磁気誘導素子と、コンデンサとを有する超小型電力変換装置において、前記コンデンサが積層セラミックコンデンサからなることを特徴とする超小型電力変換装置。

【請求項 2】積層セラミックコンデンサを基板とし、その上に前記半導体基板を搭載し、その半導体基板上に平面型磁気誘導素子を形成することを特徴とする請求項 1 に記載の超小型電力変換装置。

【請求項 3】前記平面型磁気誘導素子の薄膜コイルが、前記下部磁性体に関けられたコンタクトホールを介して、前記半導体集積回路と電気的に接続していることを特徴とする請求項 2 に記載の超小型電力変換装置。

【請求項 4】前記薄膜コイルと前記半導体集積回路とが、メッキ導体で接続されることを特徴とする請求項 3 に記載の超小型電力変換装置。

【請求項 5】前記薄膜コイルと前記半導体集積回路とが、スタッドバンプで接続されることを特徴とする請求項 3 に記載の超小型電力変換装置。

【請求項 6】前記上部磁性体が磁性体薄板であることを特徴とする請求項 2 ないし 5 のいずれかに記載の超小型電力変換装置。

【請求項 7】磁性体薄板がフェライトからなることを特徴とする請求項 6 に記載の超小型電力変換装置。

【請求項 8】半導体基板に設けられた電極と、積層セラミックコンデンサ基板に設けられた電極とをワイヤボンディングすることを特徴とする請求項 2 ないし 7 のいずれかに記載の超小型電力変換装置。

【請求項 9】前記積層セラミックコンデンサを基板とし、その上に前記平面型磁気誘導素子を形成し、その平面型磁気誘導素子上に前記半導体基板を搭載することを特徴とする請求項 1 に記載の超小型電力変換装置。

【請求項 10】前記平面型磁気誘導素子の薄膜コイルが、前記上部磁性体に関けられたコンタクトホールを介して、前記半導体集積回路と電気的に接続していることを特徴とする請求項 9 に記載の超小型電力変換装置。

【請求項 11】前記薄膜コイルと前記半導体集積回路とが、スタッドバンプで接続されることを特徴とする請求項 10 に記載の超小型電力変換装置。

【請求項 12】前記下部磁性体が磁性体薄板であることを特徴とする請求項 9 ないし 11 のいずれかに記載の超小型電力変換装置。

【請求項 13】前記磁性体薄板がフェライトからなることを特徴とする請求項 12 に記載の超小型電力変換装置。

【請求項 14】前記下部磁性体に関けられた電極と、積層セラミックコンデンサ基板に設けられた電極とをワイヤボンディングすることを特徴とする請求項 9 ないし 13

のいずれかに記載の超小型電力変換装置。

【請求項 15】フェライト薄板からなる下部磁性体上に薄膜コイルを形成し、該薄膜コイルを上部磁性体で覆った構成の平面型磁気誘導素子の上に、半導体集積回路の形成された半導体基板を搭載したものを、積層セラミックコンデンサ上に搭載したことを特徴とする超小型電力変換装置。

【請求項 16】前記上部磁性体が、磁性を有する微粒子を樹脂に分散させた磁性薄膜からなることを特徴とする請求項 15 に記載の超小型電力変換装置。

【請求項 17】前記平面型磁気誘導素子の薄膜コイルが、前記上部磁性体に関けられたコンタクトホールを介して、前記半導体集積回路と電気的に接続していることを特徴とする請求項 15 または 16 のいずれかに記載の超小型電力変換装置。

【請求項 18】前記薄膜コイルと前記半導体集積回路とが、スタッドバンプで接続されることを特徴とする請求項 17 に記載の超小型電力変換装置。

【請求項 19】前記平面型磁気誘導素子のフェライト薄板に上面から下面に達する装置接続様電極が設けられていることを特徴とする請求項 15 ないし 18 のいずれかに記載の超小型電力変換装置。

【請求項 20】前記フェライト薄板の周囲に前記装置接続様電極が設けられていることを特徴とする請求項 19 に記載の超小型電力変換装置。

【請求項 21】前記積層セラミックコンデンサ基板が、複数のコンデンサ部分を有するコンデンサアレイであることを特徴とする請求項 2 ないし 20 のいずれかに記載の超小型電力変換装置。

【請求項 22】前記積層セラミックコンデンサ基板に上面から下面に達する表面実装用電極が設けられていることを特徴とする請求項 2 ないし 21 のいずれかに記載の超小型電力変換装置。

【請求項 23】前記積層セラミックコンデンサ基板の周囲に前記表面実装用電極が設けられていることを特徴とする請求項 22 に記載の超小型電力変換装置。

【請求項 24】前記下部および上部磁性体が、磁性を有する微粒子を樹脂に分散させた磁性薄膜からなることを特徴とする請求項 1 ないし 5 および 9 ないし 11 のいずれかに記載の超小型電力変換装置。

【請求項 25】前記下部磁性体が、磁性を有する微粒子を樹脂に分散させた磁性薄膜からなることを特徴とする請求項 6 または 7 のいずれかに記載の超小型電力変換装置。

【請求項 26】前記上部磁性体が、磁性を有する微粒子を樹脂に分散させた磁性薄膜からなることを特徴とする請求項 12 または 13 のいずれかに記載の超小型電力変換装置。

【請求項 27】フェライト薄板からなる下部磁性体上に薄膜コイルを形成し、該薄膜コイルを上部磁性体で覆つ

た構成の平面型磁気誘導素子の上に半導体集積回路の形成された半導体基板を搭載した超小型電力変換装置において、前記フェライト薄板の上面から下面に達する表面実装用電極が設けられていることを特徴とする超小型電力変換装置。

【請求項 28】前記フェライト薄板の周囲に前記表面実装用電極が設けられていることを特徴とする請求項 27 記載の超小型電力変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体基板に形成した半導体集積回路（以下 IC と記す）と、コイルやコンデンサ、抵抗などの受動部品で構成される DC-DC コンバータなどの電力変換装置に関する。

【0002】

【従来の技術】近年、電子情報機器、特に携帯型の各種電子情報機器の普及が著しい。それらの電子情報機器は、電池を電源とするものが多く、DC-DC コンバータなどの電力変換装置を内蔵している。通常その電力変換装置は、スイッチング素子、整流素子、制御用 IC などの能動素子とコイル、トランス、コンデンサ、抵抗などの受動素子の各個別部品をセラミック基板やプラスチック等のプリント基板等の上に実装したハイブリッド型のモジュールとして、構成されている。

【0003】

【発明が解決しようとする課題】携帯用を含めた各種電子情報機器の小型軽量化の要望に伴い、内蔵される電力変換装置の小型化の要求も強い。ハイブリッド型電源モジュールの小型化は、MCM（マルチチップモジュール）技術や、積層セラミック部品等の技術により進歩してきている。しかしながら、個別の部品を同一基板上に、並べて実装するため、電源モジュールの実装面積の縮小化が制限されている。特にインダクタやトランス等の磁気誘導部品は、集積回路と比べると体積が非常に大きいため、電子機器の小形化を図る上で最大の隘路になっている。

【0004】これら磁気誘導部品の小型化に対する今後の方角としては、チップ部品として限りなく小さくし、面実装により電源全体を小さくする方向と、シリコン基板上に薄膜で形成する方向の二つが考えられる。近年、磁気誘導部品の小形化の要求に応じて、半導体技術の適用により、半導体基板上に薄型のマイクロ磁気素子（コイル、トランス）を搭載した例も報告されている。発明者も特願 2000-008065 において、そのような平面型磁気誘導部品を考案した。これにより、磁気誘導部品の薄型化とその実装面積の削減が可能となった。

【0005】図 7（a）は半導体チップに集積した超小型電力変換装置の部分断面図、図 7（b）は図 7（a）の A 部拡大図である。スイッチング素子や制御回路等の半導体装置を作りこんだ半導体基板 1 の表面上に、薄膜

コイル 6 を磁性薄膜 4 とフェライト薄板 8 とで挟んだ形の平面型磁気誘導素子 11 を薄膜技術により形成したものである。薄膜コイル 6 と半導体装置の電極 9 とは、直接接続されている。3、7 は薄膜コイル 6 と磁性薄膜 4、フェライト薄板 8 とを絶縁するための上下の絶縁膜である。例えば半導体チップ 1 の電極 9 と薄膜コイル 7 との接続は、通常メッキ法によりおこなわれる。半導体基板 1 には、スイッチ用高耐圧 MOSFET や制御回路 IC が集積されている。

10 【0006】しかしなお、個別チップ部品数が多いことや、また実装面積が大きという問題があった。本発明の目的は、電力変換装置の小型化を容易にするコイル、トランス等の平面型磁気誘導部品およびそれを用いた超小型電力変換装置を提供することにある。

【0007】

【課題を解決するための手段】上記課題解決のため本発明は、半導体集積回路の形成された半導体基板と、コイル状に形成された薄膜コイルを絶縁膜を介して下部磁性体と上部磁性体とで挟んだ構成の平面型磁気誘導素子と、コンデンサとを有する超小型電力変換装置において、前記コンデンサが積層セラミックコンデンサからなるものとする。

20 【0008】例えば、積層セラミックコンデンサを基板とし、その上に半導体基板を搭載し、その半導体基板上に平面型磁気誘導素子を形成したものでも良いし、また積層セラミックコンデンサを基板とし、その上に平面型磁気誘導素子を形成し、その平面型磁気誘導素子上に前記半導体基板を搭載しても良い。従来チップコンデンサおよび抵抗を別付けしていたが、それらを積層セラミック構造の基板とし、その上に、半導体装置と平面型磁気誘導素子を重ねて形成するため、実装面積を従来のほぼ 1/2 に削減できる。

【0009】特に、積層セラミックコンデンサ基板が、複数のコンデンサ部分を有するコンデンサアレイであれば、別付けチップ部品を必要とすることが無くなる。平面型磁気誘導素子の薄膜コイルと、半導体集積回路とが、磁性体薄膜との間に挟まれる絶縁膜に開けられたコンタクトホールを介して、例えば、メッキ導体や、スタッドバンプで電氣的に接続しているものとする。

40 【0010】そのようにすれば、半導体集積回路あるいは薄膜コイルの平面内で接続できるので、余分な面積を要しない。メッキ導体は薄膜コイルと一連のプロセスで実現可能であり、またバンプ電極は通常の半導体プロセス内で多用されている技術である。更に、上部磁性体がフェライト板のような磁性体薄板であれば、機械的強度をもつので、半導体基板の変形を抑制する効果がある。

【0011】半導体基板に設けられた電極と、積層セラミックコンデンサ基板に設けられた電極とをワイヤボンディングするものとする。ワイヤボンディングも通常の半導体プロセス内で多用されている技術である。積層セ

ラミックコンデンサ基板に上面から下面に達する表面実装用電極が、外周または内部に設けられていれば、表面実装が可能になる。

【0012】

【発明の実施の形態】【実施例1】図1(c)は、本発明にかかる超小型電力変換装置の一つで、本発明第一の実施例のDC/DCコンバータの斜視図であり、図2に示した回路構成を具現化したものである。

【0013】すなわちこのDC/DCコンバータの主な回路要素は、入力コンデンサ C_i 、マイクロ電源用IC、薄膜インダクタ L 、出力コンデンサ C_o 、および調整用の抵抗 R_T 、コンデンサ C_T を含む。これらのうち、薄膜インダクタ L をマイクロ電源用ICの半導体基板上に形成する方法は知られている。例えば、前記特願2000-008065において、マイクロ電源用ICを形成したシリコン基板上に、ポリイミド等の絶縁膜を介してメッキにより薄膜コイルを形成する方法が開示されている。

【0014】図1(a)はそのようなマイクロ電源用ICと薄膜インダクタ L とを一体化した一体化チップ34の斜視図である。[図2の実線で囲んだ部分]

一方、図1(b)は、図2の実線で囲んだ以外の部分、すなわち入力コンデンサ C_i 、出力コンデンサ C_o 、および調整用の抵抗 R_T 、コンデンサ C_T を作り込んだ積層セラミックコンデンサアレイ21である。22は各コンデンサの電極であるが、下面まで形成して実装用の電極を兼ねても良い。ここでは簡単のため、2素子としたが、必要により更に多数のコンデンサアレイとすることもできる。

【0015】入力コンデンサ C_i 、出力コンデンサ C_o は約1 μ F、調整用のコンデンサ C_T は数千pF~1 μ F、抵抗 R_T は数百 Ω ~数千 Ω のオーダーである。アルミナと金属薄膜とを100層積層すると、2 \times 1mm²で1 μ Fの容量とすることができる。積層セラミックコンデンサアレイの積層数と素子配置を調整して底面積を、半導体基板もしくは平面型磁気誘導素子の大きい方とほぼ同じか、電極端子形成分だけ大き目にしておくことにより、積層型セラミックコンデンサアレイ基板上に半導体装置および平面型磁気誘導素子を実装するスペース無しに積み重ねる構造とできる。

【0016】図1(c)のDC/DCコンバータは、図1(b)のセラミック積層コンデンサアレイ21に図1(a)の一体化チップ4を搭載し、ボンディングした後、樹脂35でモールドしたものである。23はICの取り出し電極である。図3は図1(c)のDC/DCコンバータの断面図である。セラミック積層コンデンサアレイ21上に、マイクロ電源用ICの半導体基板24および薄膜インダクタ31とが積み重ねられている様子が良くわかる。

【0017】薄膜インダクタ31は、薄膜コイル27と

その両側の磁性体とからなるが、特にこの例では上側磁性体はフェライト薄板26として、機械的強度を持たせている。勿論薄膜コイル27と磁性体との間には絶縁体が挟まれ、絶縁されている。図1(c)のDC/DCコンバータの製造方法は、例えば次のような順序とする。まず、マイクロ電源用ICを作り込んだ半導体基板24に塗布、蒸着、メッキ、フォトリソ等により薄膜インダクタ31を形成し、チップ化する。

【0018】一方複数のコンデンサと抵抗を一括形成した積層セラミックコンデンサアレイ基板21(厚さ0.5mm)をダイシングによりチップサイズに切り出した後、実装用電極23とIC取り出し電極22とをメッキにより形成する。その積層セラミックコンデンサアレイ基板21上に薄膜インダクタ31を形成した一体化チップ34の裏面を接着材で貼り合わせ、半導体基板24の電極と積層セラミックコンデンサアレイ基板21の周囲に形成した装置接続用電極23とをワイヤ25でボンディングする。

【0019】従来のDC/DCコンバータでは、2~3個の入出力電圧平滑用コンデンサと調整用のチップコンデンサおよび抵抗を回路モジュール基板上に並べて実装していたが、この実施例のDC/DCコンバータでは、それらのコンデンサおよび抵抗を積層セラミック構造によりアレイ状に一体形成し、その上に、半導体装置と平面型磁気誘導素子を重ねて形成するため、実装面積が従来のほぼ1/2に削減できた。

【0020】その他の効果として、一個の部品のみでDC/DCコンバータが形成でき、かつ表面実装部品と同様の端子電極構造となっているため、応用機器の回路において部品の実装が容易となる。

【実施例2】図4は、本発明の第二の実施例のDC/DCコンバータの断面図である。

【0021】セラミック積層コンデンサアレイ21上に、マイクロ電源用ICの半導体基板24と薄膜インダクタ31とが積み重ねられているのは、実施例1と同じであるが、製法および構造が少し異なる。半導体基板24と薄膜インダクタ31とを離して描いてあるのは分かりやすくするためであり、両者は半導体基板24側のスタッドバンプ30により接合される。

【0022】図4のDC/DCコンバータの製造方法は、例えば次のような順序とする。この例では薄膜インダクタ31をマイクロ電源用ICとは別に次のような方法で作って置く。フェライト薄板26(厚さ500 μ m以下)を基板として薄膜コイル27および絶縁膜まで形成した後、表面を磁性体微粒子を分散させたエポキシ樹脂28をスクリーン印刷により埋め込み、推積させる。この時、薄膜コイル27の両端の端子部は、マスクにより開口した構造とする。

【0023】一方、実施例1と同様の積層セラミックコンデンサアレイ基板21の表面上にマイクロ電源用IC

を作り込んだシリコン基板 24 の裏面を貼り合わせ、シリコン基板 24 の電極と積層セラミックコンデンサアレイ基板 21 の実装用電極 23 とをワイヤ 25 でボンディングし、また、シリコン基板 24 の電極上に薄膜インダクタ 31 の端子と接続するためのスタッドパンプ 30 (高さ 80 μm) も形成しておく。

【0024】次に、薄膜インダクタ 31 の端子とスタッドパンプ 30 の位置を合せて、熱圧着もしくは接着材を介して、貼り合わせる。薄膜コイル 27 と磁性体との間には絶縁体が挟まれ、絶縁されている。この実施例の DC/DC コンバータでは、コンデンサおよび抵抗を積層セラミック構造によりアレイ状に一体形成し、その上に、半

導体装置と平面型磁気誘導素子を重ねて形成するため、実施例 1 と同様に実装面積が従来のほぼ 1/2 に削減できた。

【0025】【実施例 3】図 5 は本発明の第三の実施例の DC/DC コンバータの断面図である。この例では、セラミック積層コンデンサアレイ 21 上の、マイクロ電源用 IC の半導体基板 24 と薄膜インダクタ 31 との位置がこれまでの二例と異なり、薄膜インダクタ 31 の上に半

導体基板 24 が載っている。この場合も半導体基板 24 と薄膜インダクタ 31 とを離して描いてあるのは分かりやすくするためであり、両者は半導体基板 24 側のスタッドパンプ 30 により接合される。

【0026】図 4 の DC/DC コンバータの製造方法は、例えば次のような順序とする。フェライト薄板 26 (厚さ 500 μm 以下) 上に薄膜コイル 27 を形成し、その間および表面を磁性体微粒子を分散攪拌させたエポキシ樹脂 28 をスクリーン印刷により埋め込んで薄膜インダクタ 31 を作る。ここで、この薄膜インダクタ 31 にの薄

膜コイル 27 の端子部には、半導体基板 24 と接続するための開口部をもつ構造とする。また、積層セラミックコンデンサアレイ 21 の実装用電極 23 とを接続するための接続部 29 も設けられている。この接続部 29 は、薄膜コイル 27 と同時にメッキにより形成することができる。

【0027】この薄膜インダクタ 31 をセラミック積層コンデンサアレイ 21 上にエポキシ接着剤で貼り合わせる。一方、電極にスタッドパンプ 30 を形成したマイクロ電源用 IC の半導体基板 24 を準備し、そのスタッド

パンプ 30 を薄膜コイル 27 の開口部と位置合わせし、熱圧着もしくは接着材で接合する。

【0028】最後に、薄膜インダクタ 31 の接続部 29 と積層セラミックコンデンサアレイ基板 21 に形成した実装用電極 23 または取り出し電極 22 とをワイヤ 25 でボンディングする。この実施例の DC/DC コンバータでも、同様に実装面積が従来のほぼ 1/2 に削減できた。

【0029】【実施例 4】図 6 は、本発明の第四の実施例の DC/DC コンバータの断面図である。この例では、実施例 3 と同様にセラミック積層コンデンサアレイ 1 上

に、薄膜インダクタ 11、マイクロ電源用 IC の半導体基板 4 の順に積み重ねられている。

【0030】図 6 の DC/DC コンバータの製造方法は、例えば次のような順序とする。積層セラミックコンデンサアレイ 21 の全表面上に、磁性体微粒子を分散攪拌させたエポキシ樹脂 28 をスキージ印刷もしくは、スピンコートで塗布し、硬化させる。その後、これを基板として、電解メッキにより薄膜コイル 27 を形成し、その間および表面を磁性体微粒子を分散攪拌させたエポキシ樹脂 28 をスクリーン印刷により埋め込んで薄膜インダクタ 31 を作る。この薄膜インダクタ 31 の薄膜コイル 27 の端子部には、半導体基板 24 と接続するための開口部をもつ構造とする。また外周部に、接続部 29 も設けられている。この接続部 29 は、薄膜コイル 27 と同時に形成することができる。

【0031】次に、積層セラミックコンデンサアレイ 21 の外周側面に実装用電極 23 と IC 用取り出し電極 22 をメッキにより形成する。一方、電極にスタッドパンプ 30 を形成したマイクロ電源用 IC の半導体基板 24 を準備し、そのスタッドパンプ 30 を薄膜コイル 27 の開口部と位置合わせし、熱圧着もしくは接着材で接合する。

【0032】この実施例の DC/DC コンバータでも、同様に実装面積が従来のほぼ 1/2 に削減できた。またこの例では、積層セラミックコンデンサアレイ 1 と薄膜インダクタ 31 との一体構造体を複数個を同一基板で一括形成が可能であり、量産性が向上する。

【0033】【実施例 5】図 8 は、本発明の第五の実施例の DC/DC コンバータの断面図である。この例では、薄膜インダクタをフェライト基板上に形成しその上に半導体基板を搭載したものをセラミック積層コンデンサアレイ 21 上に搭載する構成となっている。

【0034】図 8 の DC/DC コンバータの製造方法は、例えば図 9 に記載のような順序で形成する。図 9 (a) では、フェライト薄板 26 (厚さ 500 μm 以下) に貫通孔を形成する。この例では、直径 0.5 mm の孔を形成した。この貫通孔は、サンドブラストまたはレーザー加工もしくは型形成により、形成することができる。

【0035】次に図 9 (b) において、この貫通孔以外の部分をマスク 34 でマスクしたスクリーン印刷により、貫通孔に導電性ペースト (例えば Ag ペースト) を埋めて焼結させる。図 9 (c) において、薄膜コイル 27 および接続部 29 を形成した後、スクリーン印刷により磁性体微粉末分散エポキシ樹脂 28 を薄膜コイル 27 間に埋め込むとともに表面を覆う [図 9 (d)]。

【0036】図 9 (e) では、半導体基板 24 の図示しない電極と薄膜コイル 27 および接続部 29 とをスタッドパンプ 30 を介して接続し、アンダーフィル (ここではエポキシ系接着剤) 33 により固着させる。次に図中の一点鎖線に沿ってダイシングにより切り離して平面型

磁気誘導素子と半導体基板との一体構造体〔図9 (f)〕を得る。

【0037】図10に、平面型磁気誘導素子の上に半導体基板を搭載した一体構造体の断面図および上平面図を示す。接続部29は、半導体基板と接続される配線となっており、積層セラミックコンデンサレイと接続される接続電極22とも接続されている。これを図8に記載されたようにセラミック積層コンデンサレイ21上に搭載し、接続電極22を導電性接着剤により接続する。

【0038】〔実施例6〕図11は、本発明の第五の実施例のDC/DCコンバータの工程断面図である。この例では、実施例5と同様に薄膜インダクタをフェライト基板上に形成し、その上に半導体基板を搭載したものをセラミック積層コンデンサレイ21上に搭載する構成となっている。

【0039】図11のDC/DCコンバータの製造方法は、例えば次のような順序で形成する。図11(a)では、実施例5と同様にフェライト薄板26(厚さ500μm以下)に貫通孔を形成する。図11(b)において、無電解メッキにより接続導体22を形成し、底面をレジスト材で被覆する。

【0040】図11(c)において、薄膜コイル27および接続部29を形成した後、裏面のレジスト材を除去する。図11(d)において、スクリーン印刷により磁性体微粉末分散エポキシ樹脂28を薄膜コイル27間に埋め込むとともに表面を覆う。図11(e)では、実施例5と同様に半導体基板24の図示しない電極と薄膜コイル27および接続部29とをスタッドバンプ30を介して接続し、アンダーフィル(ここではエポキシ系接着剤)33により固着させる。次に図中の一点鎖線に沿ってダイシングにより切り離して平面型磁気誘導素子と半導体基板との一体構造体を得る。

【0041】この実施例においても、図10の構成を図8に記載されたように接続電極22を導電性接着剤により接続してDC/DCコンバータを得る。

【0042】

【発明の効果】以上説明したように従来のDC/DCコンバータ回路のような電力変換装置では、2ないし3個の入出力電圧平滑コンデンサと調整用のチップコンデンサおよび抵抗をモジュール基板上に並べて実装していたが、本発明においてはそれらを積層セラミック構造のアレイ基板とし、その上に半導体装置と平面型磁気誘導素子を

重ねて形成するため、DC/DCコンバータモジュールの実装面積を従来のほぼ1/2に削減できる。

【0043】また、DC/DCコンバータを一チップ化でき、かつ表面実装部品と同様の端子電極構造とすることができるため、応用機器の回路において部品の実装が容易となる。

【図面の簡単な説明】

【図1】(a)はマイクロ電源用ICと薄膜インダクタとを一体化した一体化チップの斜視図、(b)は積層セラミックコンデンサレイの斜視図、(c)は本発明にかかるDC/DCコンバータの斜視図

【図2】図1(c)のDC/DCコンバータの回路構成図

【図3】図1(c)のDC/DCコンバータの断面図

【図4】本発明の実施例2の断面図

【図5】本発明実施例3の断面図

【図6】本発明実施例4の断面図

【図7】(a)は半導体チップに集積した超小型電力変換装置の部分断面図、(b)は図7(a)のA部拡大図

【図8】本発明実施例5の断面図

【図9】(a)～(f)は図8の平面型磁気誘導素子と半導体基板との一体構造体の工程順断面図

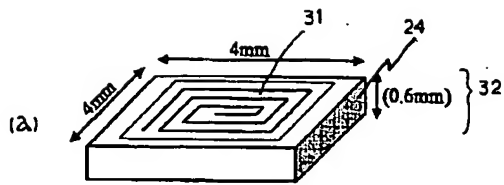
【図10】(a)は平面型磁気誘導素子の上に半導体基板を搭載した一体構造体の断面図、(b)は上平面図

【図11】(a)～(e)は実施例6の磁気誘導素子と半導体基板との一体構造体の工程順断面図

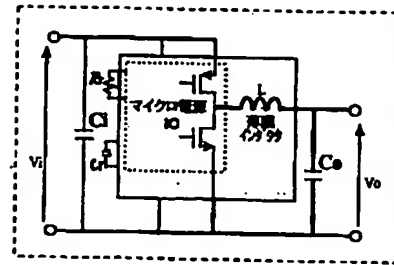
【符号の説明】

- | | |
|----|------------------|
| 21 | 積層セラミックコンデンサレイ基板 |
| 22 | 実装用電極 |
| 23 | IC用取り出し電極 |
| 24 | 半導体基板 |
| 25 | ワイヤ |
| 26 | フェライト薄板 |
| 27 | 薄膜コイル(Cu) |
| 28 | 磁性体微粒子分散エポキシ樹脂 |
| 29 | 接続部 |
| 30 | スタッドバンプ |
| 31 | 薄膜インダクタ |
| 32 | 一体化チップ |
| 33 | アンダーフィル |
| 34 | マスク |
| 35 | モールド樹脂 |

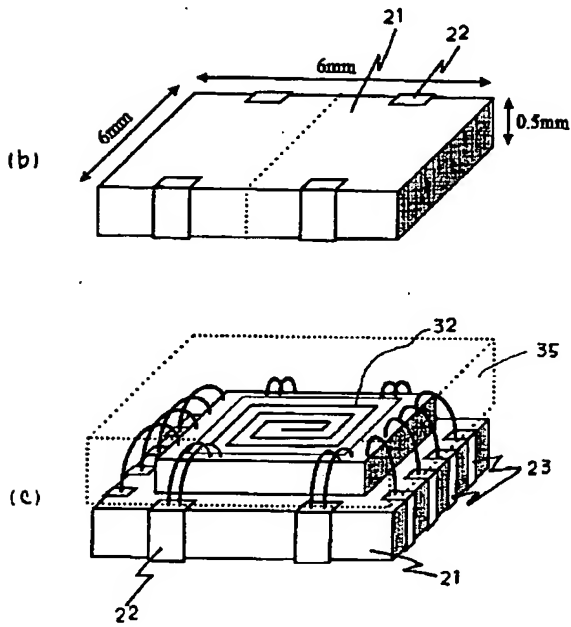
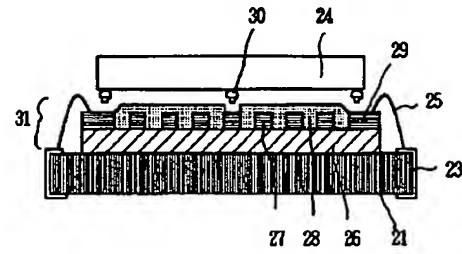
【図 1】



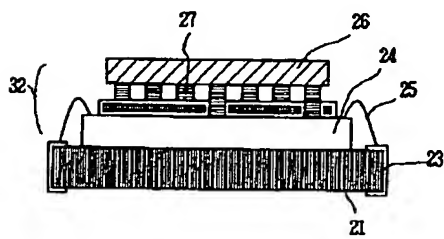
【図 2】



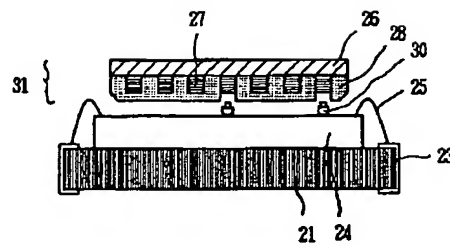
【図 5】



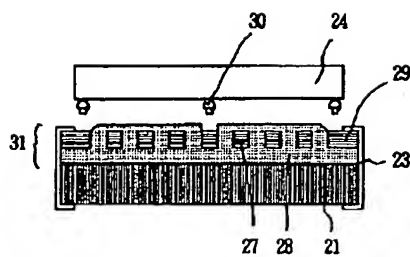
【図 3】



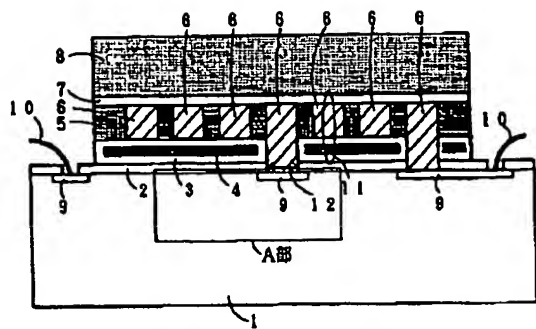
【図 4】



【図 6】

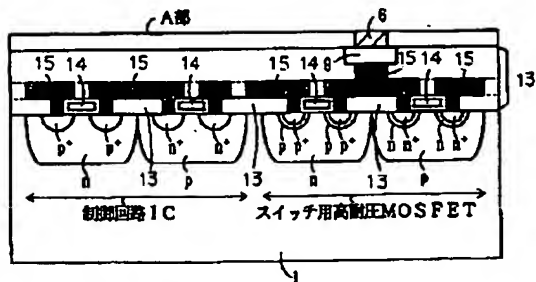


【図 7】



- 1...シリコン基板
2...IC保護膜
3...下地絶縁膜
4...絶縁体薄膜
5...ポリイミド充填材
6...誘導コイル
7...上絶縁膜
8...フェライト磁性板
9...ボンディングパッド
10...ボンディングワイヤ
11...平面型MOSFET素子
12...コンタクトホール

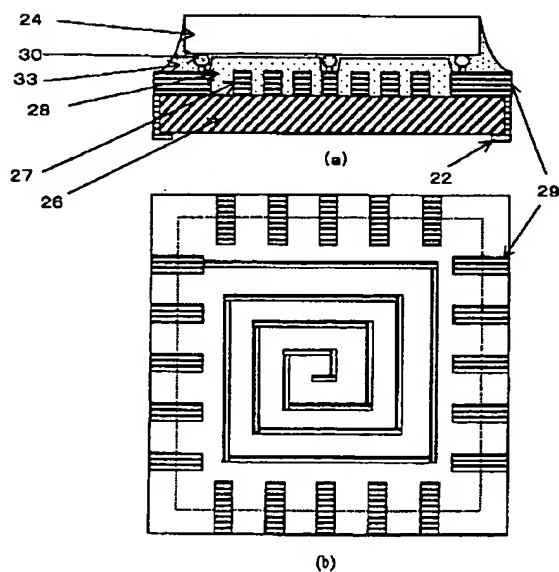
(a)



- 13...酸化膜
14...ゲート電極
15...Al配線

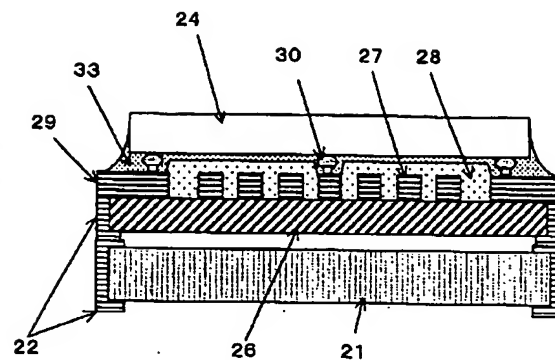
(b)

【図 10】

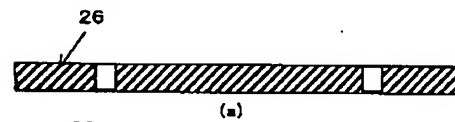


(b)

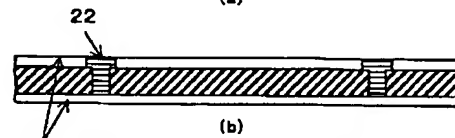
【図 8】



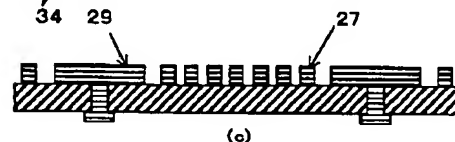
【図 9】



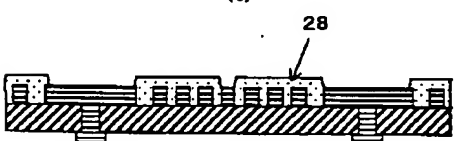
(a)



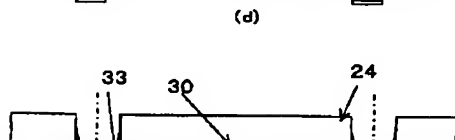
(b)



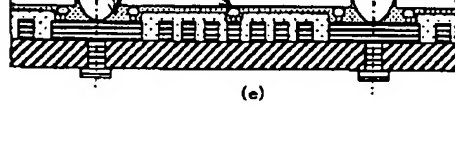
(c)



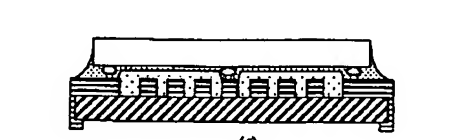
(d)



(e)



(f)



(g)

【図 11】

